**PART 2**

**1)** “HW4” adlı yeni bir proje oluşturdu

**2)** Verilen durumların doğruluk tablosunu kullanarak tek bitlik a ve b sayıları için bir karşılaştırıcı tasarladı

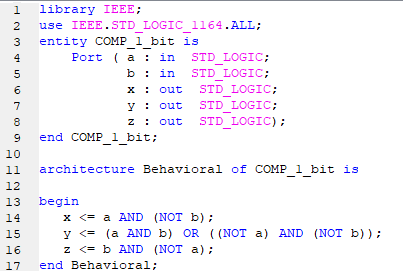
-x = a AND b’

-y = (a AND b) OR (a’ AND b’)

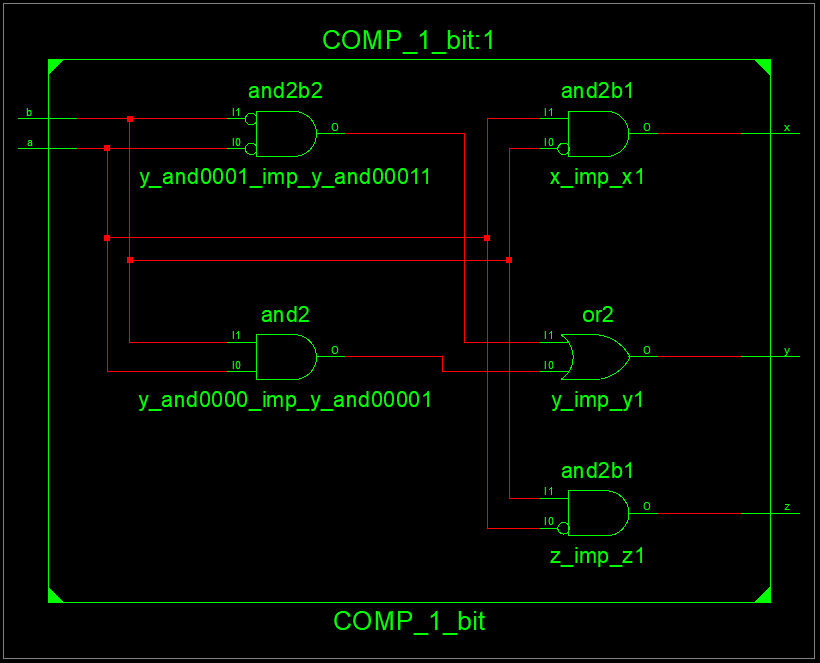
-z = a’ AND b

--“Yeni kaynak…”, “VHDL modülü” ile “COMP\_1.vhd” adlı yeni bir kaynak oluşturuldu.

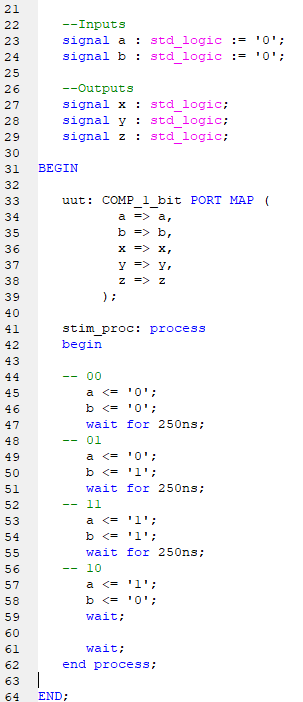
-Uygun giriş ve çıkışları eklemek için modülü düzenledi

-Tasarladığım devre için VDHL kodunu yazdım.

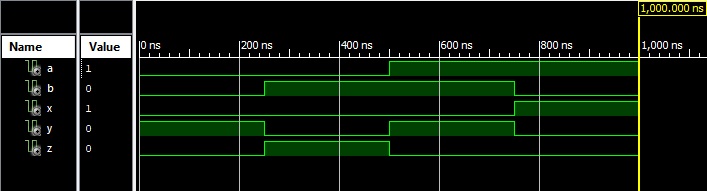
RTL Şeması



- “New source…” ile “COMP\_1.tb.vhd” adlı “VHDL test bench” adlı bir test bench dosyası oluşturuldu, test modülü olarak “COMP\_1.vhd” seçildi.

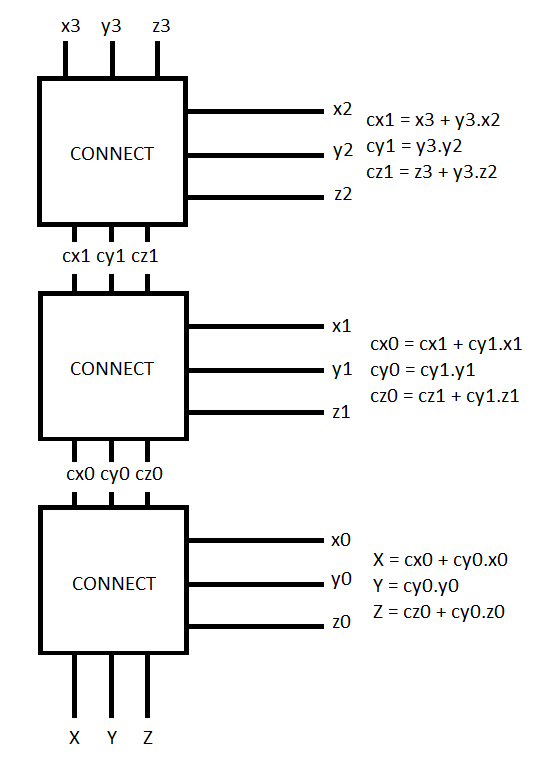
-Modül “COMP\_1.tb.vhd” için uygun bir test tezgahı olacak şekilde düzenlendi.

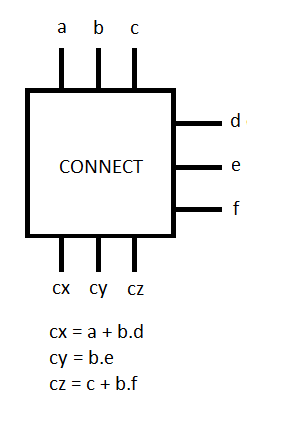
Behavioral Simulation Sonuçları



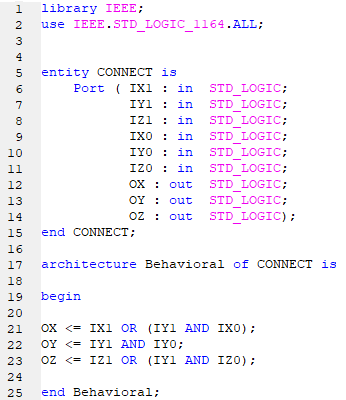
-Sonuçlar beklediğim gibi doğru çıktı.

**3)** -Devreyi verilen şekle göre tasarladık

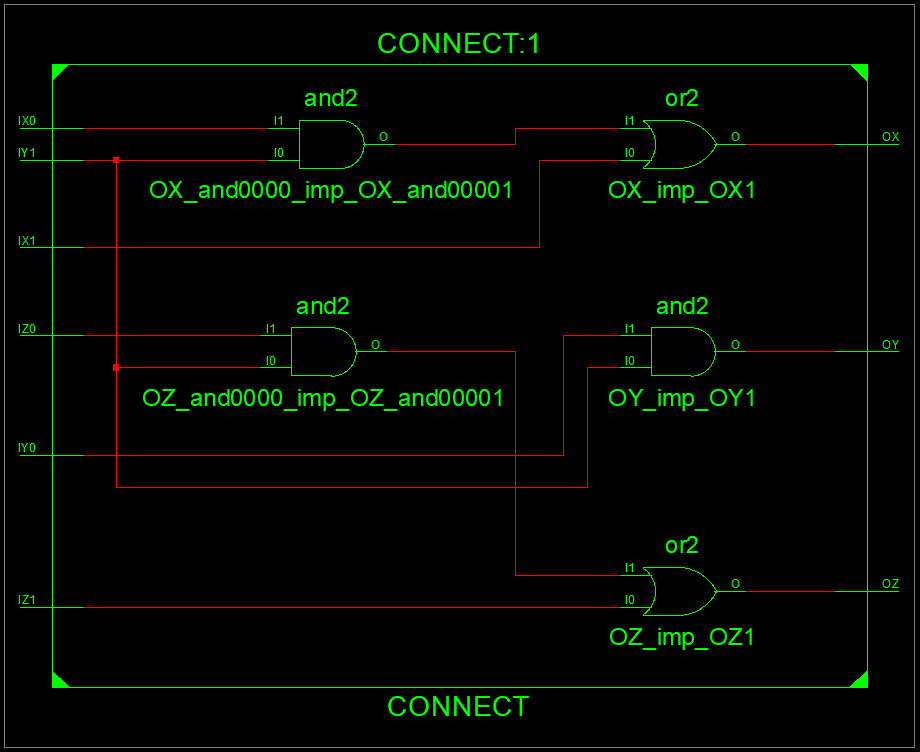
-CONNECT modüllerinin modellenmesiyle başladı

- Bu modeli kullanarak, genel CONNECT modülünü belirledi

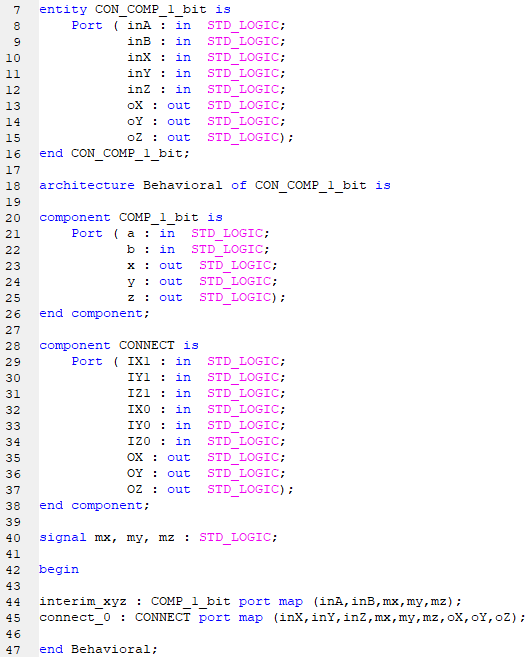
- “CONNECT.vhd” adlı bir vhd dosyası oluşturdu ve CONNECT modülü için VHDL kodunu yazdım.



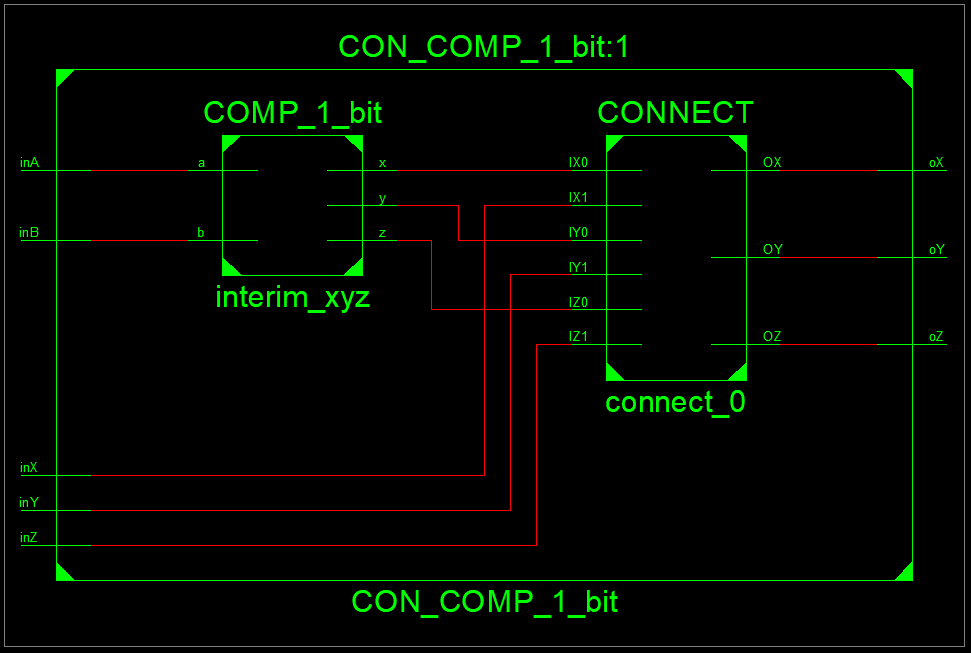
-RTL Şeması



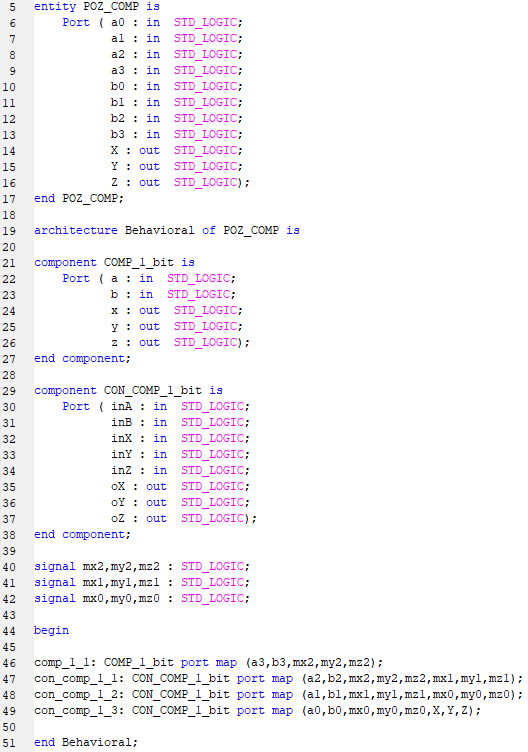
- “CON\_COMP\_1bit.vhd” adında yeni bir vhd dosyası oluşturdum ve CONNECT ve COMP\_1\_bit modüllerini kullanarak VHDL kodunu yazdım.



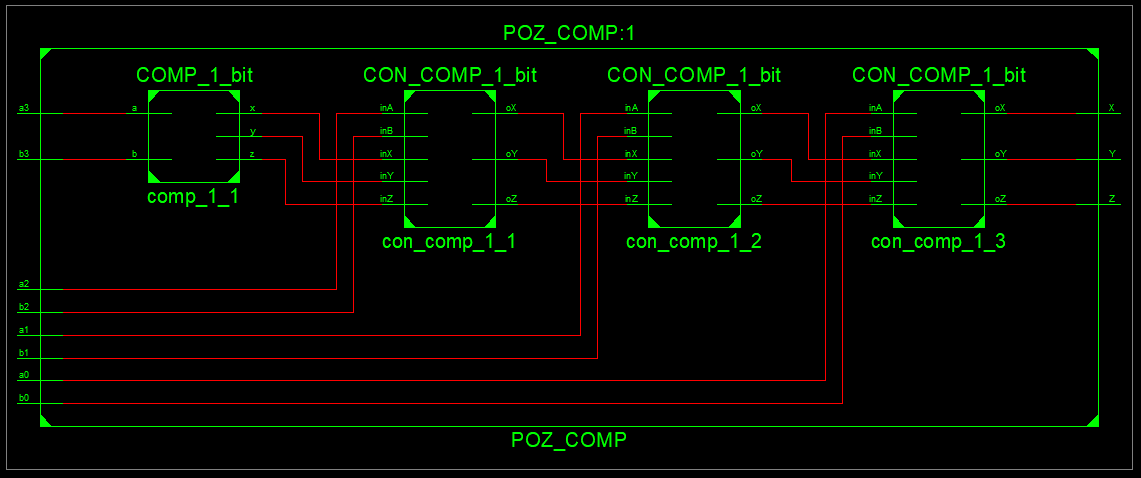
-RTL Şeması



-“POZ\_COMP.vhd” adlı yeni bir vhd dosyası oluşturdu ve Şekil 1'e göre VHDL kodunu yazdı.

-Yapı taşları olarak CON\_COMP\_1\_bit ve COMP\_1\_bit modülleri kullanıldı

RTL Şeması



- “New source…” ile “POZ\_COMP.tb.vhd” adlı “VHDL test bench” adlı bir test bench dosyası oluşturdum, test modülü olarak “POZ\_COMP.vhd”yi seçtim.

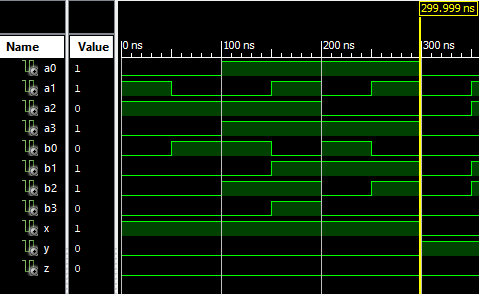
-300ns aralıklarla üç durum için test bench yazdım.

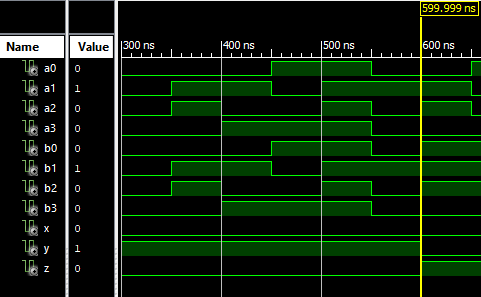
A>B için -0-300 ns

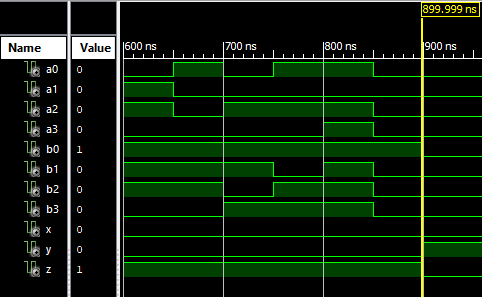
A=B için -300-600 ns

A<B için -600-900 ns

Behavioral Simulation Sonuçları







Sonuçlar beklediğim gibi hesaplarımla eşleşti.